

**Технические спецификации
1642PK1УБМ**

**ОЗУ статическое с портами ввода вывода
1642PK1УБМ**

Микросхема 1642PK1УБМ представляет собой двухпортовое статическое ОЗУ емкостью 64К (8Кx8) с двумя независимыми портами с отдельным управлением, адресом и выводами вход/выход, которые позволяют осуществить независимый, асинхронный доступ для чтения или записи по любому адресу в памяти. Применяется как самостоятельное двухпортовое ОЗУ 64К или как сочетание ведущее/ведомое двухпортовое ОЗУ для 16-ти и более разрядных систем. Микросхема предназначена для использования в высокопроизводительных системах обработки информации и устройствах управления специального применения. Изготавливается в 64-выводном корпусе типа Н18.64-3В, имеющем технологические переключки расположенные между 24 и 25 и между 56 и 57 выводами. **Прототип IDT7005 ф. IDT**

Назначение выводов

Номер вывода	Обозначение	Назначение	Направление
01	DI/DO _{2L}	Бит 2 Данных левого порта	ВХОД /ВЫХОД
02	DI/DO _{3L}	Бит 3 Данных левого порта	ВХОД /ВЫХОД
03	DI/DO _{4L}	Бит 4 Данных левого порта	ВХОД /ВЫХОД
04	DI/DO _{5L}	Бит 5 Данных левого порта	ВХОД /ВЫХОД
05	GND	Общий вывод	
06	DI/DO _{6L}	Бит 6 Данных левого порта	ВХОД /ВЫХОД
07	DI/DO _{7L}	Бит 7 Данных левого порта	ВХОД /ВЫХОД
08	V _{CC}	Вывод источника питания	
09	GND	Общий вывод	
10	DI/DO _{0R}	Бит 0 Данных правого порта	ВХОД /ВЫХОД
11	DI/DO _{1R}	Бит 1 Данных правого порта	ВХОД /ВЫХОД
12	DI/DO _{2R}	Бит 2 Данных правого порта	ВХОД /ВЫХОД
13	V _{CC}	Вывод питания от источника напряжения	

**Технические спецификации
1642PK1УБМ**

Назначение выводов (продолжение)

Номер вывода	Обозначение	Назначение	Направление
14	DI/DO _{3R}	Бит 3 Данных правого порта	ВХОД /ВЫХОД
15	DI/DO _{4R}	Бит 4 Данных правого порта	ВХОД /ВЫХОД
16	DI/DO _{5R}	Бит 5 Данных правого порта	ВХОД /ВЫХОД
17	DI/DO _{6R}	Бит 6 Данных правого порта	ВХОД /ВЫХОД
18	DI/DO _{7R}	Бит 7 Данных правого порта	ВХОД /ВЫХОД
19	OЕ _R	Запрет вывода правого порта	ВХОД
20	WR/RD _R	Чтение/запись правого порта	ВХОД
21	SEM _R	Разрешение работы семафора правого порта	ВХОД
22	CE _R	Вход сигнала разрешения правого порта	ВХОД
23	NC	Вывод свободный	
24	GND	Общий вывод	
25	A _{12R}	Бит 12 адреса правого порта	ВХОД
26	A _{11R}	Бит 11 адреса правого порта	ВХОД
27	A _{10R}	Бит 10 адреса правого порта	ВХОД
28	A _{9R}	Бит 9 адреса правого порта	ВХОД
29	A _{8R}	Бит 8 адреса правого порта	ВХОД
30	A _{7R}	Бит 7 адреса правого порта	ВХОД
31	A _{6R}	Бит 6 адреса правого порта	ВХОД
32	A _{5R}	Бит 5 адреса правого порта	ВХОД
33	A _{4R}	Бит 4 адреса правого порта	ВХОД
34	A _{3R}	Бит 3 адреса правого порта	ВХОД
35	A _{2R}	Бит 2 адреса правого порта	ВХОД
36	A _{1R}	Бит 1 адреса правого порта	ВХОД
37	A _{0R}	Бит 0 адреса правого порта	ВХОД
38	INT _R	Прерывание правого порта	ВЫХОД
39	BUSYR	Восу правого порта	ВХОД /ВЫХОД
40	M/S	Ведущий/ведомый	ВХОД

**Технические спецификации
1642PK1УБМ**

Назначение выводов (продолжение)

Номер вывода	Обозначение	Назначение	Направление
41	GND	Общий вывод	
42	BUSY _L	Busy левого порта	ВХОД /ВЫХОД
43	INT _L	Прерывание левого порта	ВЫХОД
44	A _{0L}	Бит 0 адреса левого порта	ВХОД
45	A _{1L}	Бит 1 адреса левого порта	ВХОД
46	A _{2L}	Бит 2 адреса левого порта	ВХОД
47	A _{3L}	Бит 3 адреса левого порта	ВХОД
48	A _{4L}	Бит 4 адреса левого порта	ВХОД
49	A _{5L}	Бит 5 адреса левого порта	ВХОД
50	A _{6L}	Бит 6 адреса левого порта	ВХОД
51	A _{7L}	Бит 7 адреса левого порта	ВХОД
52	A _{8L}	Бит 8 адреса левого порта	ВХОД
53	A _{9L}	Бит 9 адреса левого порта	ВХОД
54	A _{10L}	Бит10 адреса левого порта	ВХОД
55	A _{11L}	Бит11 адреса левого порта	ВХОД
56	A _{12L}	Бит12 адреса левого порта	ВХОД
57	V _{CC}	Вывод питания от источника напряжения	
58	N/C	Вывод свободный	
59	CE _L	Вход сигнала разрешения левого порта	ВХОД
60	SEM _L	Разрешение работы семафора левого порта	ВХОД
61	WR/RD _L	Чтение/запись левого порта	ВХОД
62	OE _L	Запрет вывода левого порта	ВХОД
63	DI/DO0L	Бит 0 Данных левого порта	ВХОД /ВЫХОД
64	DI/DO1L	Бит 1 Данных левого порта	ВХОД /ВЫХОД

Технические спецификации 1642PK1УБМ

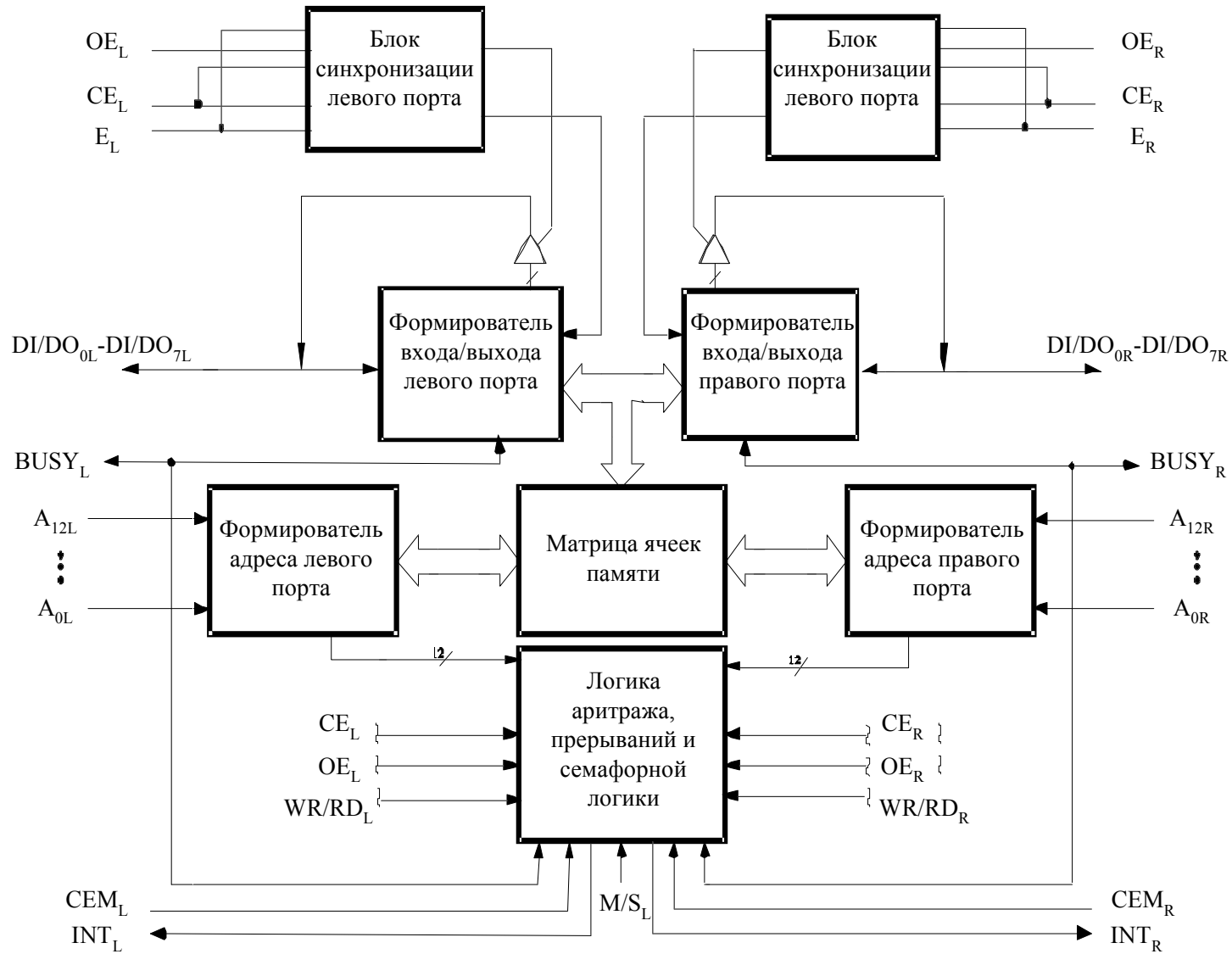
Предельные режимы

Обозначение	Параметры	Норма		Единица измерения
		не менее	не более	
U_{TERM}	Напряжение питания	-0.5	7	В
U_i	Входное напряжение	-0.5	7	В
T	Температурный диапазон хранения без подачи напряжения питания	-60	150	°С
T_{amb}	Температура окружающей среды при подаче напряжения питания.	-60	135	°С
I_O	Выходной ток	-50	50	мА

Предельно допустимые режимы

Обозначение	Параметры	Норма		Единица измерения
		не менее	не более	
U_{CC}	Напряжение питания	4.5	5.5	В
V_{IH}	Входное напряжение высокого уровня	2.2	6.0	В
V_{IL}	Входное напряжение низкого уровня	0	0.8	В
I_{OL}	Выходной ток низкого уровня	-	4	мА
I_{OH}	Выходной ток высокого уровня		-4	мА
T	Рабочий температурный диапазон среды	-60	+125	°С

Технические спецификации 1642PK1УБМ



Структурная схема микросхемы

**Технические спецификации
1642PK1УБМ**

Статические параметры

Обозначение	Параметры	Режим измерения	Норма		Единица измерения
			не менее	не более	
I_{LI}	Ток утечки по входу	$V_{IN}=0 \div U_{CC} U_{CC}=5.5B$	-	10	мкА
I_{LO}	Ток утечки по выходу	$V_{OUT}=0 \div U_{CC} U_{CC}=5.5B$		10	
V_{OH}	Выходное напряжение высокого уровня	$I_{OH}=-4mA$	2.4	-	В
V_{OL}	Выходное напряжение низкого уровня	$I_{OL}=4 mA$		0.4	
I_{CC}	Динамический рабочий ток (оба порта активные)	$CE=V_{IL}$, Выходы открыты $SEM=V_{IH}$, $f=fMAX(1)$		300	мА
I_{SB1}	Ток хранения (Оба порта – входы с TTL уровнями)	$CE_L=CE_R=V_{IH}$, $SEM_R=SEM_L=V_{IH}$ $f=fMAX^{(1)}$		80	
I_{SB2}	Ток хранения (Один порт – входы с TTL уровнями)	$CE "A"=V_{IL}$ и $CE "B"=V_{IH}^{(3)}$. Выходы активного порта открыты. $f=14MГц$ $SEM_R=SEM_L=V_{IH}$		190	
I_{SB3}	Полный ток хранения (Оба порта – все входы с КМОП уровнями)	Оба порта: CE_L и $CE_R \geq V_{CC}-0.2B$ $V_{IN} \geq V_{CC}-0.2B$ или $V_{IN} \leq 0.2B$, $f=0^{(2)}$, $SEM_R=SEM_L \geq V_{CC}-0.2B$	-	30	
I_{SB4}	Полный ток хранения (Один порт – все входы с КМОП уровнями)	$CE "A" \leq 0.2B$ и $CE "B" \geq V_{CC}-0.2B$ $SEM_R=SEM_L \geq V_{CC}-0.2B$ $V_{IN} \geq V_{CC}-0.2B$ или $V_{IN} \leq 0.2B$ Выходы активного порта открыты $f=fMAX^{(1)}$		175	
C_{IN}	Входная емкость	$V_{IN}=0 B$ $f=1MГц$, $T=25^{\circ}C$ (3)		9	пФ
C_{out}	Выходная емкость	$V_{OUT}=0 B$ $f=1MГц$, $T=25^{\circ}C$ (3)		10	
ФК	Функциональный контроль (4)	$U_{CC}=4.5 \dots 5.5B$ $F=14MГц$			

Технические спецификации 1642PK1УБМ

Примечания:

1. $f = 0$ означает отсутствие переключения адресов или цепей управления.
2. Порт "А" может быть или левый или правый порт. Порт "В" есть порт противоположный "А" порту.
- 3 Параметр гарантируется квалифицированными испытаниями.
- 4 В случае если функциональный контроль проводят на максимальной рабочей частоте ($F=14\text{МГц}$) проверку динамических параметров допускается не проводить.
- 5 Нормы на параметры и режимы измерений таблицы 4 могут уточняться в ходе ОКР в технически обоснованных случаях.

Динамические параметры цикла чтения ($U_{\text{сц}}=4.5\text{В}, T = -60 \div 125 \text{ }^\circ\text{C}$)

Наименование параметра	Обозначение параметра	Норма, нс		Примечание
		не менее	не более	
Время цикла чтения, нс	t_{CYR}	70	–	–
Время выборки адреса	$t_{\text{A(A)}}$	–	70	1
Время выбора	t_{CS}		70	
Время выборки разрешения выхода	$t_{\text{A(OE)}}$		35	
Сохранение выхода по смене адреса	t_{OH}		–	
Время выхода по Low-Z	t_{LZ}	3	–	2
Время выхода по High-Z	t_{HZ}	–	30	2
Время включения мощности хранения по CE	t_{PU}	0	–	
Время отключения мощности хранения по CE	t_{PD}	–	50	
Импульс обновления сигнального флага ($\overline{\text{OE}}$ или $\overline{\text{SEM}}$)	t_{SOP}	15	–	–
Время доступа сигнального адреса	t_{SAA}	–	70	
Примечания 1 Для доступа к ОЗУ $\overline{\text{CE}} = V_{\text{IL}}$ и $\overline{\text{SEM}} = V_{\text{IH}}$. Для доступа к флаг-сигналу $\overline{\text{CE}} = V_{\text{IH}}$ и $\overline{\text{SEM}} = V_{\text{IL}}$ 2 Время задержки измеряется на уровне ± 500 мВ от низкого или высокого уровня напряжения выходного сигнала				

**Технические спецификации
1642PK1УБМ**

Динамические параметры цикла записи ($U_{cc}=4.5\div 5.5V, T= -60 \div 125 \text{ }^\circ\text{C}$)

Наименование параметра	Обозначение параметра	Норма, нс		Примечание
		не менее	не более	
Время цикла записи	t_{CYW}	70	–	–
Разрешение кристалла к концу записи	t_{EW}	50		1
Значение адреса к концу записи	t_{AW}	50		–
Время предустановки адреса	t_{AS}	0		1
Ширина импульса записи	t_{WP}	50		–
Время восстановления записи	t_{WR}	0		
Значение данных к концу записи	t_{DW}	40		
Выходное время High-Z	t_{HZ}	–	30	2
Время удержания данных	t_{DH}	0	–	–
Разрешение записи к выходу High-Z	t_{WZ}	–	30	2
Включение выхода от конца записи	t_{OW}	0	–	
Время \overline{SEM} флага от записи к чтению	t_{SWRD}	5		
Окно содержимого \overline{SEM} флага	t_{SPS}	5		–
<p>Примечания</p> <p>1 Для доступа к ОЗУ $\overline{CE} = V_{IL}$ и $\overline{SEM} = V_{IH}$. Для доступа к флаг-сигналу $\overline{CE} = V_{IH}$ и $\overline{SEM} = V_{IL}$.</p> <p>2 Время задержки измеряется на уровне ± 500 мВ от низкого или высокого уровня напряжения выходного сигнала</p>				

**Технические спецификации
1642PK1УБМ**

Динамические параметры в режиме \overline{BUSY} ($U_{CC}=4.5\div 5.5V, T=-60 \div 125\text{ }^{\circ}C$)

Наименование параметра	Обозначение параметра	Норма, нс	
		не менее	не более
Временная диаграмма \overline{BUSY} ($M/\overline{S}=V_{IH}$)			
Время доступа \overline{BUSY} от совпадения адреса	t_{BAA}	–	45
Время запрета \overline{BUSY} от несовпадения адреса	t_{BDA}		40
Время доступа \overline{BUSY} от Low разрешения кристалла	t_{BAC}		40
Время доступа \overline{BUSY} от High разрешения кристалла	t_{BDC}		35
Время установки арбитража приоритета	t_{APS}	5	–
Запрет \overline{BUSY} к значению данных	t_{BDD}	–	45
Удержание записи после \overline{BUSY}	t_{WH}	25	–
Временная диаграмма \overline{BUSY} ($M/\overline{S}=V_{IL}$)			
Вход \overline{BUSY} к записи	t_{WB}	0	–
Удержание записи после \overline{BUSY}	t_{WH}	25	
Временная диаграмма задержки Порт-Порт			
Импульс записи к задержке данных	t_{WDD}	–	95
Значение данных записи к задержке данных чтения	t_{DDD}		80

Технические спецификации 1642PK1УБМ

Динамические параметры в режиме прерывания ($U_{cc}=4.5\div 5.5V, T= -60 \div 125 \text{ }^\circ\text{C}$)

Наименование параметра	Обозначение параметра	Норма, нс	
		не менее	не более
Время предустановки адреса	t_{AS}	0	–
Время восстановления записи	t_{WR}	0	–
Время установки прерывания	t_{INS}	–	50
Время сброса прерывания	t_{INR}	–	50

Таблица истинности режимов чтения, записи

Вход				Вход/выход	Режим
\overline{CE}	WR/RD	\overline{OE}	\overline{SEM}	DI/DO	
H	X	X	H	Z	Пониженного потребления мощности
L	L	X	H	Вход данных	Запись
L	H	L	H	Выход данных	Чтение
X	X	H	X	Z	Состояние с высоким импедансом

Примечание – Адреса правого и левого портов не совпадают

Технические спецификации 1642PK1УБМ

Таблица истинности режима семафора чтения, записи

Вход				Выход	Режим
\overline{CE}	WR/RD	\overline{OE}	\overline{SEM}	DI/DO ₁	
H	H	L	L	Выход данных	Чтение (контроль) семафора выходных данных
H	↑	X	L	Вход данных	Запись DI/DO ₁ в флаг семафора
L	X	X	L	–	запрещено
Примечание – Имеются 8 флагов семафора, записываемые через DI/DO ₁ и считываемые из DI/DO ₁ – DI/DO ₈ . Эти флаги кодируются адресами A ₀ – A ₂					

Таблица истинности режима прерывания ¹⁾

Левый порт					Правый порт					Функция
WR/RD _L	\overline{CE}_L	\overline{OE}_L	A _{0L} – A _{12L}	\overline{INT}_L	WR/RD _R	\overline{CE}_R	\overline{OE}_R	A _{0R} – A _{12R}	\overline{INT}_R	
L	L	X	11111111	X	X	X	X	X	L ³⁾	Установка флага прерывания правого порта
X	X	X	X	X	X	L	L	11111111	H ²⁾	Сброс флага прерывания правого порта
X	X	X	X	L ³⁾	L	L	X	11111110	X	Установка флага прерывания левого порта
X	L	L	11111110	H ²⁾	X	X	X	X	X	Сброс флага прерывания левого порта
¹⁾ В исходном состоянии входы BUSY _L = BUSY _R = V _{ИП} . Выходы \overline{INT}_R и \overline{INT}_L должны быть установлены в исходное состояние при включении питания ²⁾ Если вход BUSY _R = V _{ИЛ} изменения не происходят ³⁾ Если вход BUSY _L = V _{ИЛ} изменения не происходят										

Технические спецификации 1642PK1УБМ

Таблица истинности арбитража BUSY

Входы			Выходы		Функция
\overline{CE}_L	\overline{CE}_R	$A_{0L} - A_{12L}$ $A_{0R} - A_{12R}$	\overline{BUSY}_L ¹⁾	\overline{BUSY}_R ¹⁾	
X	X	не совпадают	H	H	нормальный
H	X	совпадают	H	H	нормальный
X	H	совпадают	H	H	нормальный
L	L	совпадают	2)	2)	запись запрещена ³⁾

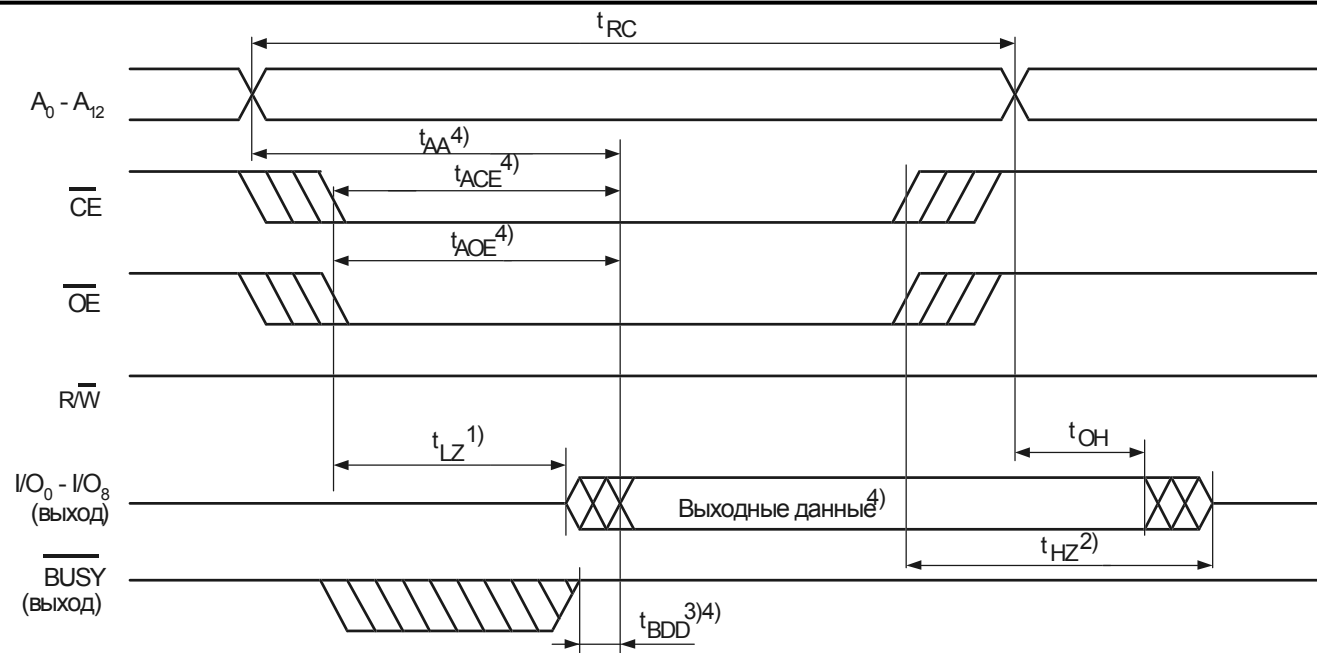
¹⁾ Выводы \overline{BUSY}_L , \overline{BUSY}_R являются выходами, когда установлены, как «ведущие». Оба вывода являются входами, когда установлены, как «ведомые». Вывод \overline{BUSY} двухтактный, не является выходом с открытым стоком. В состоянии «ведомого» вход \overline{BUSY} извне запрещает запись в ячейку

²⁾ L – если входы противоположного порта имеют приоритет по адресам или входам разрешения этого порта.
H – если входы противоположного порта устанавливаются после адресов и входов разрешения этого порта.

Если время установки арбитража приоритета t_{APS} не достигнуто, один из выходов \overline{BUSY}_L или \overline{BUSY}_R станет L, оба выхода одновременно не могут перейти в состояние логического "0"

³⁾ Запись в левый (правый) порт запрещается извне, подачей на вывод \overline{BUSY}_L (\overline{BUSY}_R) уровня логического 0, независимо от состояния остальных логических входов

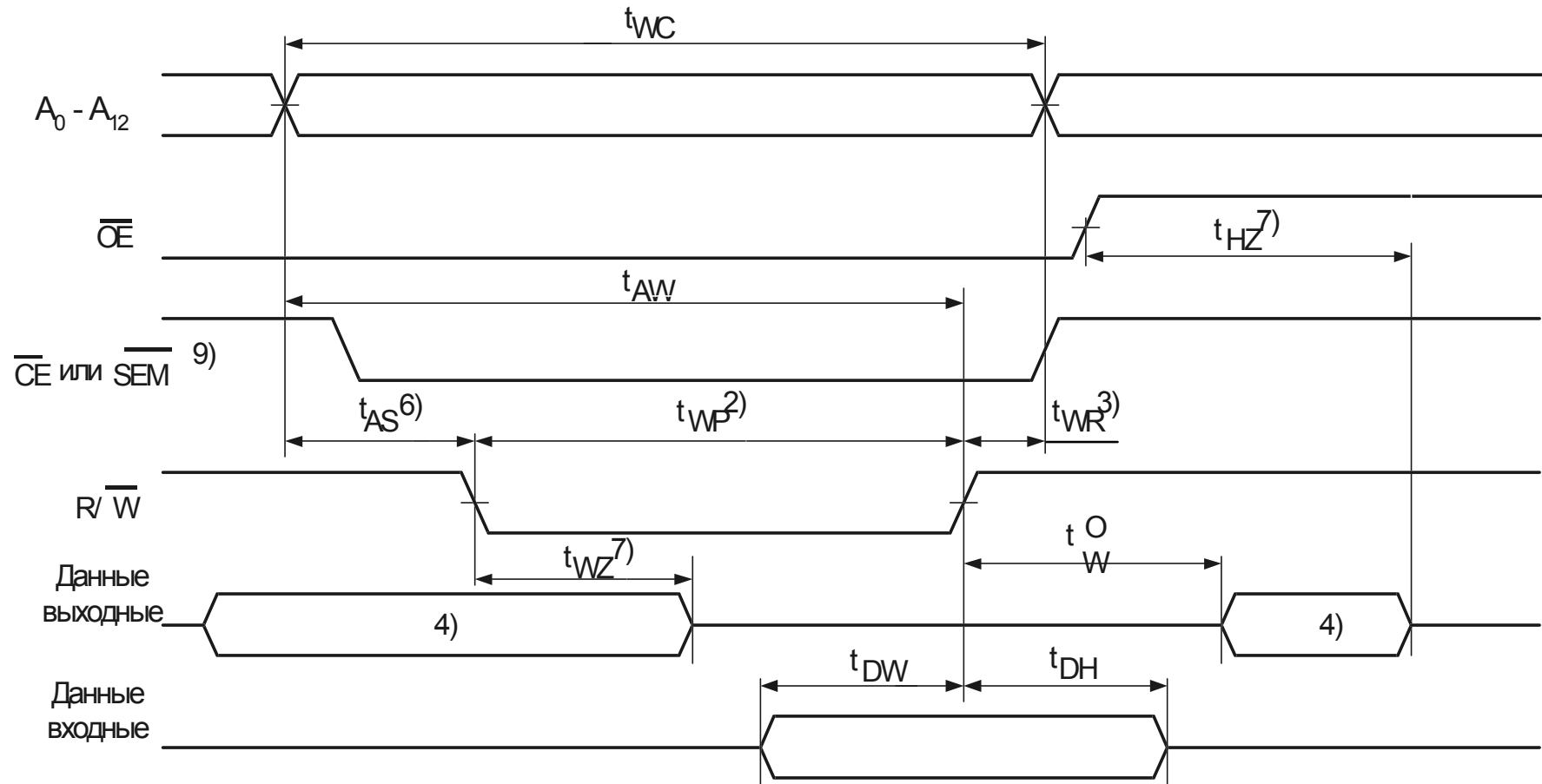
Технические спецификации 1642PK1УБМ



Временная диаграмма режима чтения ⁵⁾

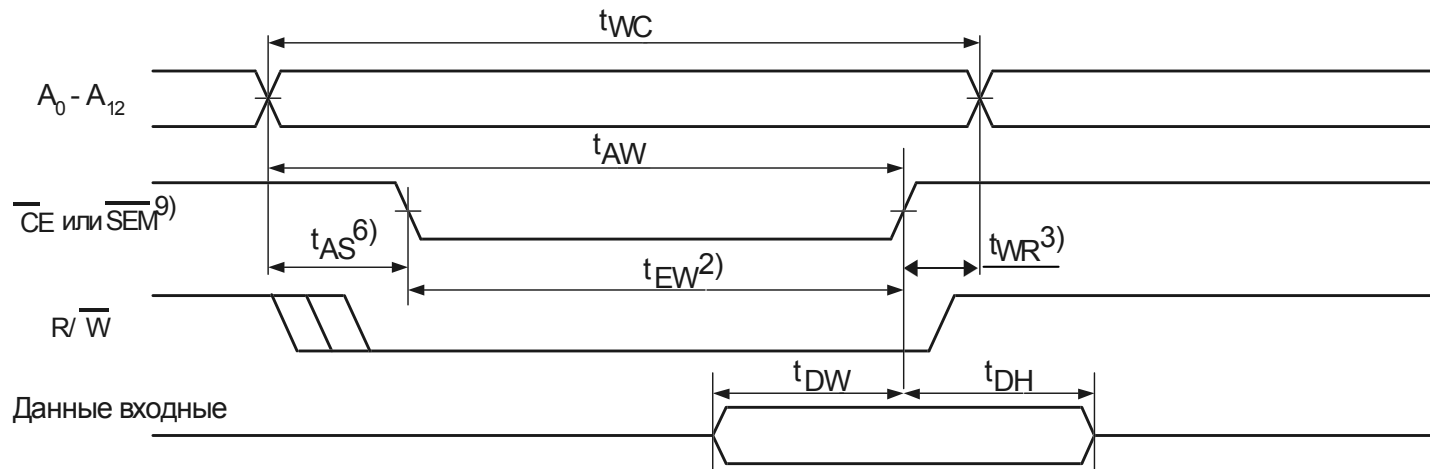
- ¹⁾ Параметр зависит от того, какой из сигналов \overline{OE} или \overline{CE} установится последним
- ²⁾ Параметр зависит от того, какой из сигналов \overline{OE} или \overline{CE} последним выйдет из режима
- ³⁾ Задержка необходима только в случае, когда противоположный порт производит запись в ячейки с тем же адресом. Для одновременного чтения работа \overline{BUSY} не влияет на выходные данные
- ⁴⁾ Начало чтения выходных данных зависит от того, какое событие произойдет последним: t_{AA} , t_{ACE} , t_{AOE} или t_{BDD}
- ⁵⁾ $\overline{SEM} = V_{IH}$

Технические спецификации
1642PK1УБМ



Временная диаграмма режима записи 1 ^{1) 5) 8}

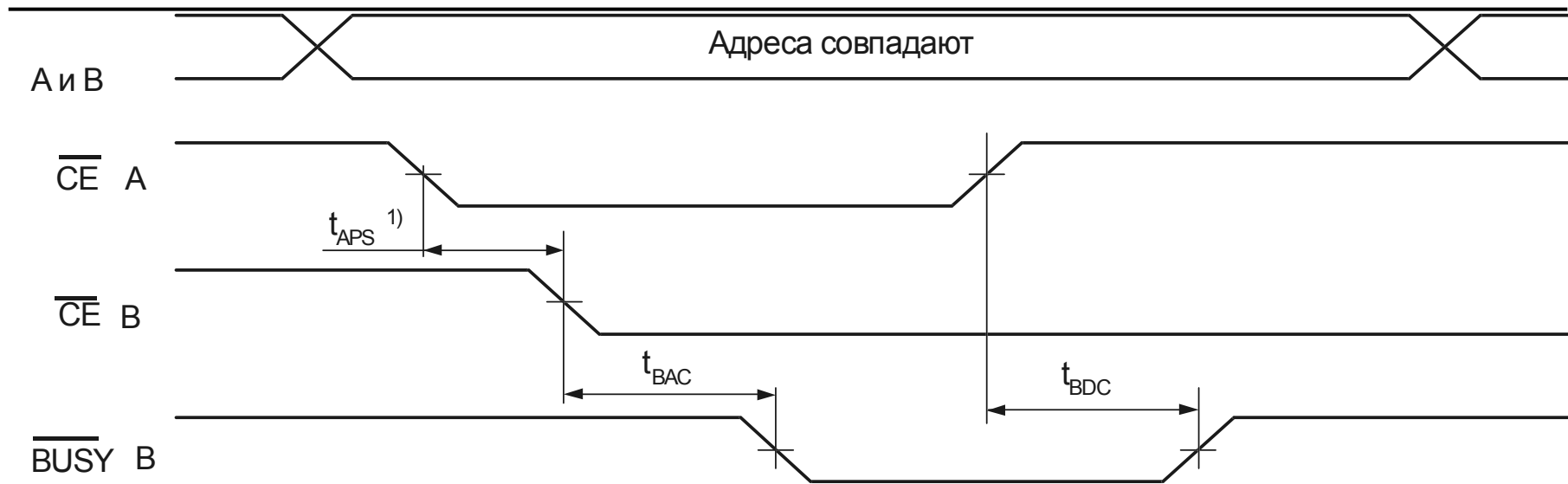
Технические спецификации 1642PK1УБМ



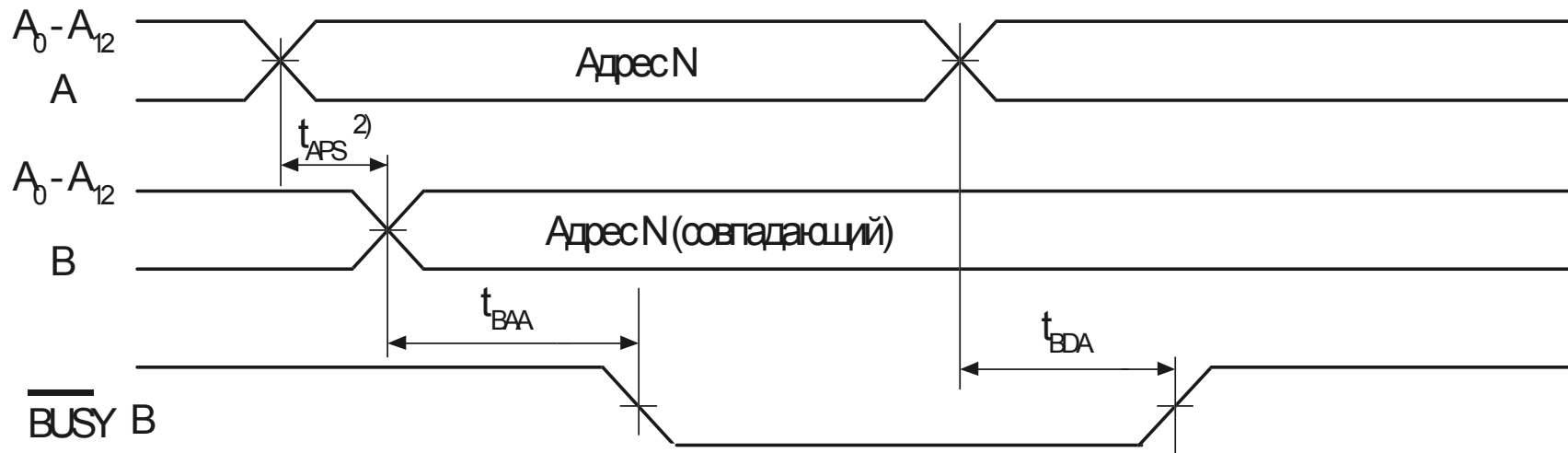
Временная диаграмма режима записи 2 ^{1) 5)}

- * 1) Выводы R/\bar{W} или \bar{CE} должны оставаться высокими во время переключения адресов
- 2) Запись может накладываться (перекрываться) (t_{EW} , t_{WP}) низким уровнем на выводе \bar{CE} и низким уровнем на выводе R/\bar{W} цикла записи в массив памяти
- 3) t_{WR} измеряется от ранее перешедшего в высокий уровень сигнала \bar{CE} или R/\bar{W} (или \bar{SEM} или R/\bar{W}) в конце цикла записи
- 4) В течение этого режима выходы DI/DO являются выходами и входные сигналы не должны применяться
- 5) Если переход в низкий уровень выводов \bar{CE} и \bar{SEM} происходит одновременно, выходы сохраняют третье состояние (высокого импеданса)
- 6) Время зависит от того, какой из сигналов \bar{CE} или R/\bar{W} установится последним
- 7) Этот параметр гарантируется конструктивно, но не контролируется. Измеряется переход ± 500 мВ из устойчивого состояния по схеме, приведенной на рисунке А.8
- 8) Если \bar{OE} остается низким в течение всего цикла записи, контролируемого R/\bar{W} , ширина импульса должна увеличиться на время t_{WP} или $(t_{WZ} + t_{WD})$, чтобы разрешить выводам DI/DO выключиться и данным разместиться на шине для ожидания t_{DW}
- 9) Для доступа к ОЗУ $\bar{CE} = V_{IH}$, $\bar{SEM} = V_{IL}$. Для доступа к флаг-сигналу $\bar{CE} = V_{IH}$, $\bar{SEM} = V_{IL}$. t_{EW} должно перейти в любое состояние

Технические спецификации
1642PK1УБМ

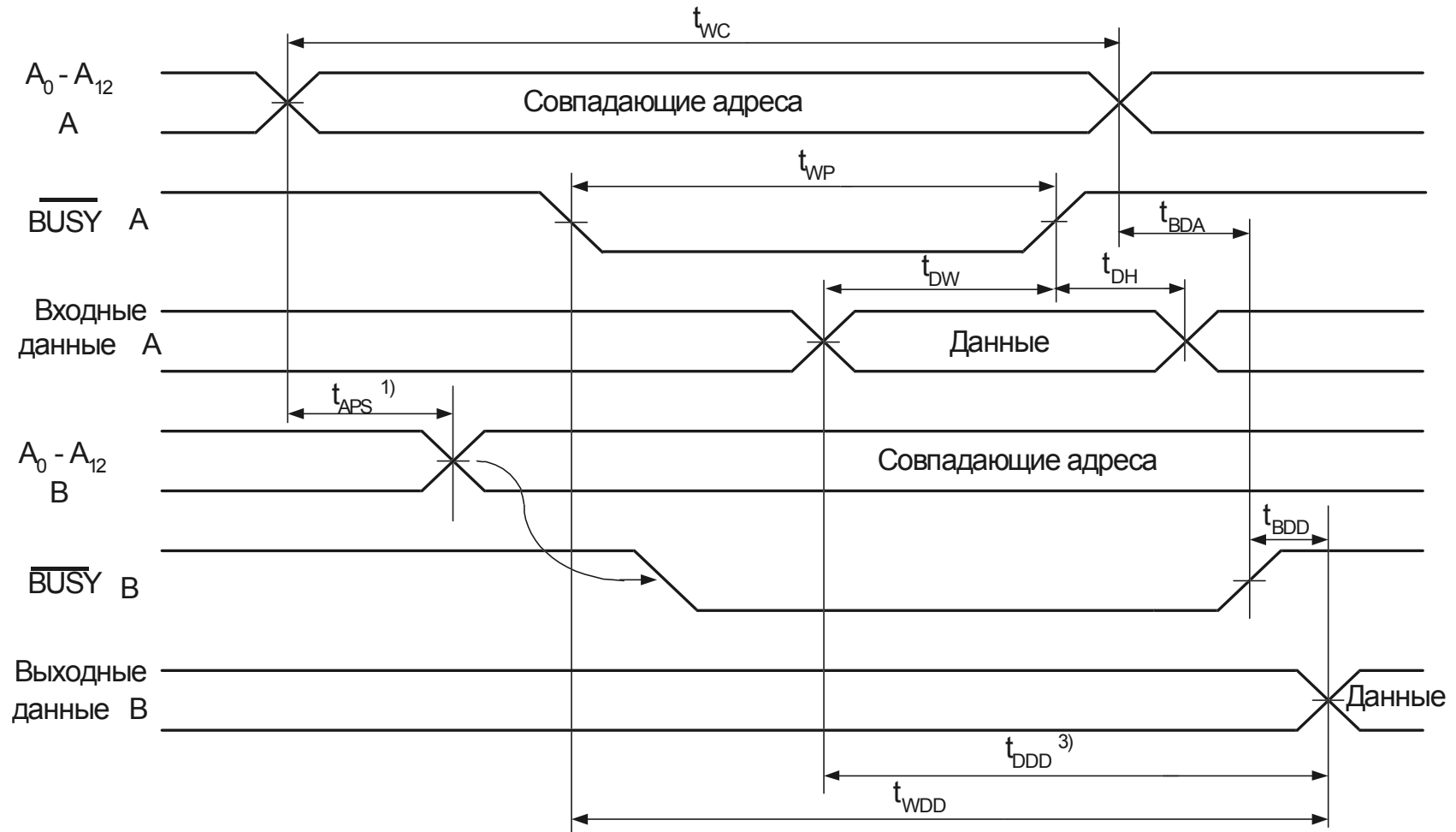


Временная диаграмма режима "BUSY CE"



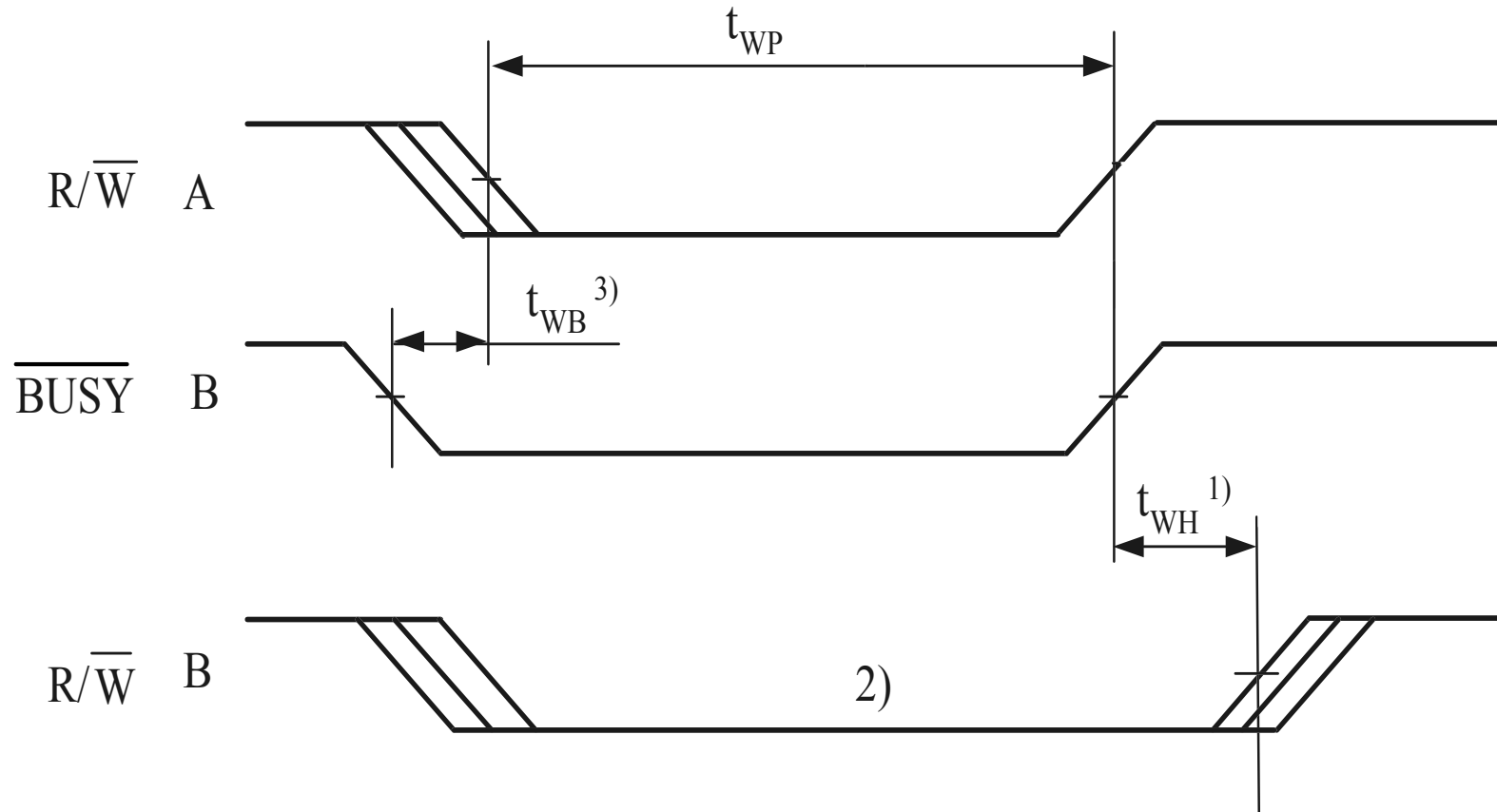
Временная диаграмма режима "BUSY адреса"

Технические спецификации 1642PK1УБМ



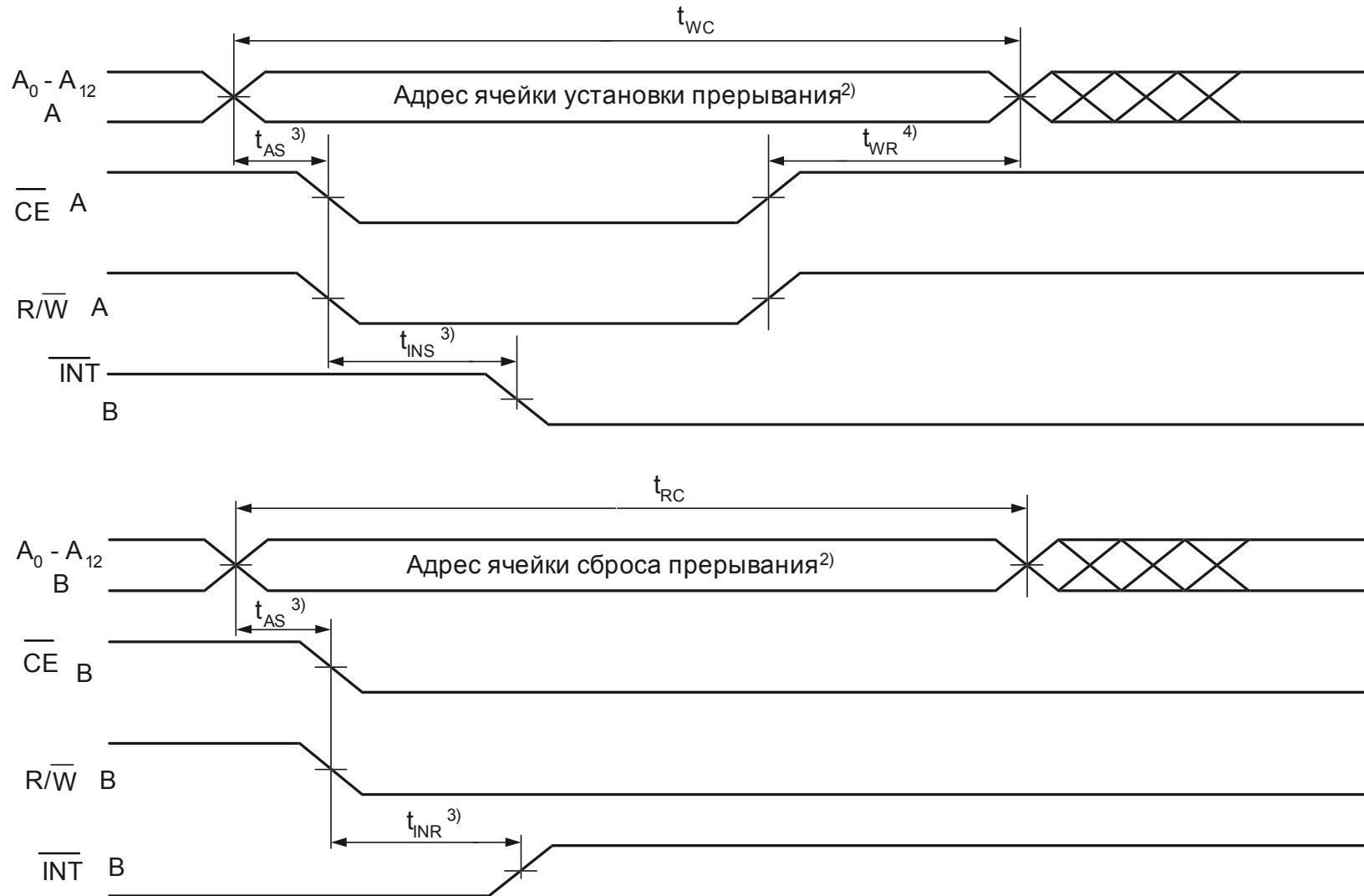
Временная диаграмма режима BUSY порт-порт

Технические спецификации
1642PK1УБМ



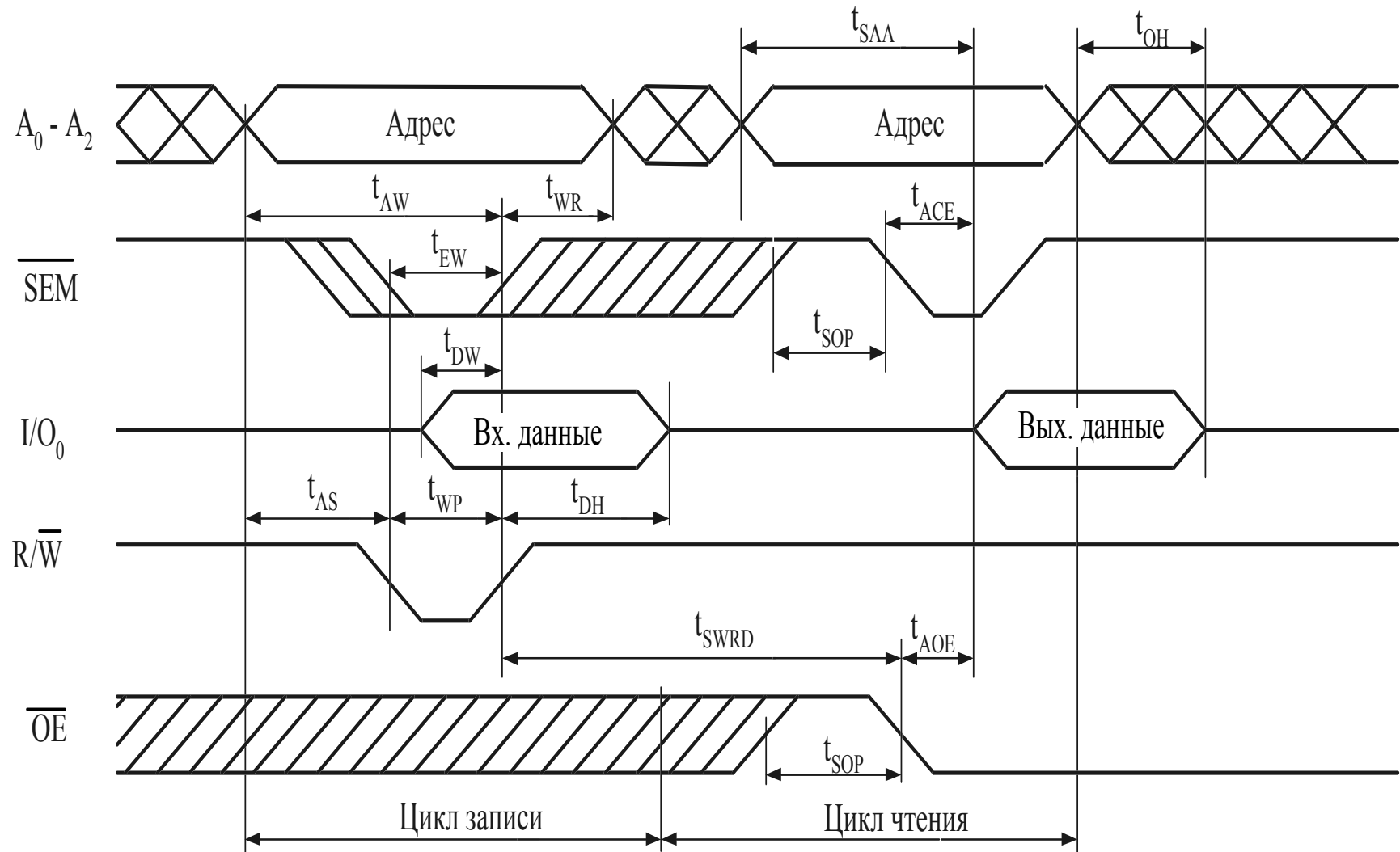
Временная диаграмма режима записи с BUSY

Технические спецификации
1642PK1УБМ



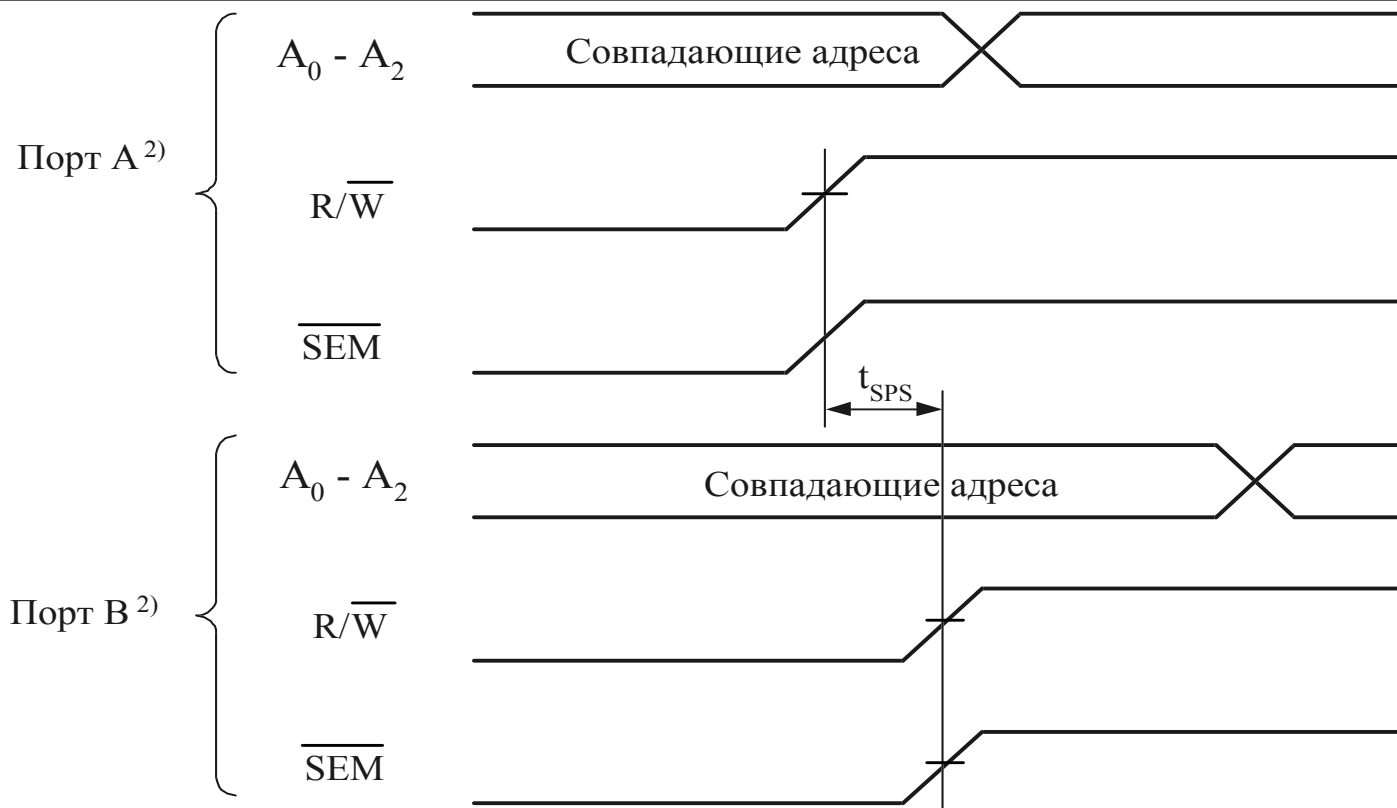
Временная диаграмма режима прерывания

**Технические спецификации
1642PK1УБМ**



Временная диаграмма режима семафора

**Технические спецификации
1642PK1УБМ**



Временная диаграмма режима семафора^{*1) 2) 3)}

* 1) $DI/DO_L = DI/DO_R = V_{IL}$, $\overline{CE}_L = \overline{CE}_R = V_{IH}$. Флаг семафора обоих портов свободен на начало цикла.

2) Динамические параметры одинаковы для левого и правого портов. Порт А может быть как левым портом, так и правым, порт В – противоположный порту А.

3) Параметр измеряется от вывода, R/\overline{W}_A или \overline{SEM}_A , переключившегося в высокий уровень, до вывода, R/\overline{W}_B или \overline{SEM}_B , переключившегося в высокий уровень.

4) Если время t_{SPS} не достаточно, семафор установится для одного из портов, но не конкретный порт не гарантируется